

x: { null => memory, IO}
y: { null => no hold, Hold}

A processor: {PCmdA _xStorey; PData _address} cache: {PRejectB _FALSE; PFaultB _None}
B processor: {PData _data; PParityB _parity} cache: {PRejectB _FALSE; PFaultB _None}

Figure 3a. Store Timing, No Reject, No Fault

w cycles (w>=0) | A processor: {PCmdA _xStorey; PData _address} cache: {PRejectB _FALSE; PFaultB _None}
B processor: {PData _data; PParityB _parity} cache: {PRejectB _TRUE; PFaultB _None}
A cache: {PRejectB _FALSE; PFaultB _None}
B cache: {PRejectB _TRUE; PFaultB _None}
A cache: {PRejectB _FALSE; PFaultB _None}
B cache: {PRejectB _FALSE; PFaultB _None}

Figure 3b. Store Timing, Reject, No Fault

w cycles (w>=0) | A processor: {PCmdA _xStorey; PData _address} cache: {PRejectB _FALSE; PFaultB _None}
B processor: {PData _data; PParityB _parity} cache: {PRejectB _TRUE; PFaultB _None}
A cache: {PRejectB _FALSE; PFaultB _None}
B cache: {PRejectB _TRUE; PFaultB _None}
A cache: {PRejectB _FALSE; PFaultB _None}
B cache: {PRejectB _TRUE; PFaultB _fault}

Figure 3c. Store Timing, Reject, Fault

Figure 3. Store Timing